



# 0.18 $\mu\text{m}$ CMOSを用いた準ミリ波帯回路設計手法に関する研究

著者	宮下 清
発行年	2015-09-25
学位授与番号	17104甲工第405号
URL	<a href="http://hdl.handle.net/10228/5521">http://hdl.handle.net/10228/5521</a>

## 学 位 論 文 内 容 の 要 旨

準ミリ波帯と言われる10GHz～33GHz帯の設計手法を確立する事を目指して本研究を行った。最初にKuバンド(12GHz近傍)帯の衛星放送受信機の研究に着手した。ここで解決すべき課題は主としてノイズに関わるものであった。なぜならば衛星放送受信機は、静止衛星という遠く離れた送信機から放射される微弱信号を受信するシステムだからである。この雑音問題を、Bipolar TransistorをICに前置するシステム上の改善, カスコード構成の低雑音のLNA(Low Noise Amplifier)の設計, そして低位相ノイズの完全差動VCO(Voltage Controlled Oscillator)を特徴とするPLL(Phase Locked Loop)の設計, の3点の工夫によって解決した。上記工夫により衛星放送受信機は当初の設計目標を超える最大利得, 雑音指数最小値はそれぞれ28.2[dB], 2.5[dB]を達成した。続いて研究した30GHz帯のVCOは, 動作周波数が遮断周波数の半分程度の周波数である事に起因する発振の困難さ・後段からの影響・動作電圧範囲の制約等の諸問題を, 受動素子・能動素子の協調設計及び最適化や, VCO制御電圧の差動化等の技術を用いることで克服した。その結果1.0[V], 28.6G[Hz]発振下で-106.8[dBc/Hz]の位相雑音を達成できた。これをFOM(Figure of Merit)に換算すると-191.6[dBc/Hz]になり, 近年発表された45nmやSiGeプロセスを使ったVCOを上回る事を明らかにした。